

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

05-315441

(43) Date of publication of application : 26. 11. 1993

(51) Int. Cl.

H01L 21/76

H01L 21/304

(21) Application number : 04-040125

(71) Applicant : SONY CORP

(22) Date of filing :

30. 01. 1992

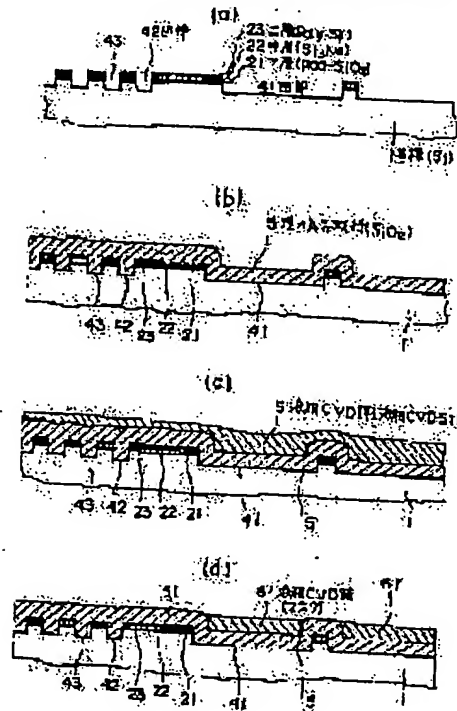
(72) Inventor : GOCHO TETSUO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE PROVIDED WITH POLISHING PROCESS

(57) Abstract:

PURPOSE: To obtain a manufacturing means of a semiconductor device wherein flattening can be attained without leaving buried material on every recessed region, and recessed part filling excellent in flatness can be realized.

CONSTITUTION: The manufacturing method of a semiconductor device consists of a forming process of a liquid phase CVD film 6 wherein the liquid phase CVD film is formed after a recessed part filling process, and a polishing process. After a process for forming the liquid phase CVD film 6, the liquid phase CVD film 6 in the region except a wide recessed part 41 to be filled is eliminated, the liquid phase CVD film 61 on the recessed part is left, buried material 5 is eliminated by using the liquid phase CVD film 61 as a mask, and then the polishing process is performed.



LEGAL STATUS

[Date of request for examination]

25. 12. 1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3163719

[Date of registration]

02. 03. 2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-315441

(43) 公開日 平成5年(1993)11月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76		L 9169-4M		
21/304	3 2 1 S	5728-4M		

審査請求 未請求 請求項の数2(全 8 頁)

(21) 出願番号 特願平4-40125

(22) 出願日 平成4年(1992)1月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 牛嶋 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

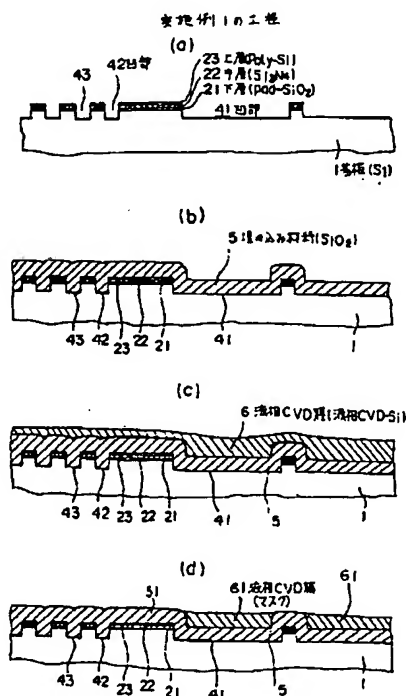
(74) 代理人 弁理士 高月 亨

(54) 【発明の名称】 ポリッシュ工程を備えた半導体装置の製造方法

(57) 【要約】

【目的】 どの凹部領域上にも埋め込み材料が残ることなく平坦化を達成でき、平坦性の良好な凹部埋め込みを実現できる半導体装置の製造手段の提供。

【構成】 ①凹部埋め込み工程の後に液相CVD膜を形成する液相CVD膜6形成工程を備える、ポリッシュ工程を含む半導体装置の製造方法。②液相CVD膜6形成工程後、広い被埋め込み凹部41以外の部分の液相CVD膜6を除去して該凹部上の液相CVD膜61を残し、該液相CVD膜61をマスクとして埋め込み材料5を除去し、その後ポリッシュ工程を行う半導体装置の製造方法。



【特許請求の範囲】

【請求項1】複数の凹部が形成された基板上に堆積手段により凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む半導体装置の製造方法において、凹部埋め込み工程の後に液相CVD膜を形成する液相CVD膜形成工程を備えることを特徴とする半導体装置の製造方法。

【請求項2】液相CVD膜形成工程後、広い被埋め込み凹部以外の部分の液相CVD膜を除去して広い被埋め込み凹部上の液相CVD膜を残し、該液相CVD膜をマスクとして、広い被埋め込み凹部以外の部分に残存する埋め込み材料を除去する除去工程を行い、その後ポリッシュ工程を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ポリッシュ工程を備えた半導体装置の製造方法に関する。本発明は、例えば、トレンチアイソレーション（溝型素子間分離）の形成や、トレンチキャパシタ、トレンチプラグ形成等の、凹部埋め込み工程とその後の平坦化ポリッシュ工程とを有する各種半導体装置の製造方法として利用することができる。

【0002】

【従来の技術】ポリッシュ技術の適用分野は広く、例えば半導体装置の製造の際に半導体基板等の基体上に生じた凹凸を平坦化するためにも利用されるに至っている（例えば、特開昭60-39835号参照）。

【0003】一方、半導体装置の分野ではデバイスの大容量化が進んでいるが、チップ面積をなるべく小さくして大容量化を図るためには、例えば多層配線技術が必要である。そして、この多層配線の技術においては、多層配線の段切れを防止するため、下地の平坦化が重要である。下地に凹凸があると、これにより生ずる段差上で、配線が切れるいわゆる断切れが発生するからである。このように半導体装置製造の際に平坦化を要する場合は多く、かかる平坦化を良好に行うには、初期工程からの平坦化が重要となる。このため例えば、平坦なトレンチアイソレーション等が考えられている。トレンチアイソレーションとは、半導体基板に形成した溝（トレンチ）に絶縁材を埋め込んで、素子間分離を行うものである。これは微細に形成できるので有利であるが、溝の埋め込み後は、溝以外の部分に堆積した埋め込み材料から成る凹部を除去して、平坦化する必要がある。

【0004】この平坦なトレンチアイソレーションを形成する方法として、図3に示す手法がある。この手法においては、まず基板1等の基体に形成した溝41～43を埋め込み材料5によりCVD等の堆積手段で埋め込み、図3（A）の構造とする。この構造においては、溝

41～43以外の部分にも埋め込み材料5が厚く堆積して、凹部51が生じる。よってこの凹部51をポリッシュにより除去して、図3（B）のように平坦化する。図中2はポリッシュのストップ層で、埋め込み材料がSiO₂であれば、例えばこれよりポリッシュ速度の遅いシリコンナイトライド膜により形成する。

【0005】

【発明が解決しようとする問題点】ところがこの技術の問題点は、図4（A）に示すように広い凹部領域①と狭い凹部領域②とが形成されている場合、トレンチ41～43の埋め込み後、ダイレクトにポリッシュを行うと、図4（B）のように、広い凹部領域①上の埋め込み材料5について、その中央部に、除去しきれない埋め込み材料52（SiO₂等）が残ってしまい、また、狭い凹部領域②の上でも、その中央部に同様な除去しきれない埋め込み材料52'が残ってしまって、次工程において例えばホットリン酸によりストップ層2である例えばSi₃N₄等を除去する際、埋め込み材料52、52'であるSiO₂等が浮いてしまい、パーティクルの発生を招く結果となる。

【0006】この問題を解決するための対策法として、例えばIBMでは、1989年のIEDMに次のような技術を発表している（IEDM89, PP61-64）。即ち図5（a）に示されるブロックレジスト31を埋め込み材料5であるCVD-SiO₂の凹部に形成し、その上にレジストコーティング膜3を形成し、次にエッチバックを行う、これにより図5（b）の構造を得る。そしてポリッシュにより平坦化を行って、図5（c）の平坦化構造とする。ところがこの方法では、図6（A）に示すようにブロックレジストのバターニングがずれて符号31'に示すような凹部から外れたレジストが形成されると、レジストコーティング膜3'を形成しても十分な平坦性が得られず、図6（B）に示すように埋め込み材料5が平坦にならず、結果としてポリッシュによる平坦化も難しくなる。また、この従来プロセスでは、余分なSiO₂除去のためにレジストバターニング（ブロックレジスト31の形成工程）を行うため、工程時間がかかっていた。

【0007】

【発明の目的】本発明は、上述した従来の問題点を解決して、広い（長い）凹部領域上に埋め込み材料が残ることなく平坦化を達成でき、よって平坦性の良好な凹部埋め込みを実現できる半導体装置の製造手段を提供することが目的である。

【0008】

【問題点を解決するための手段】本出願の請求項1の発明は、複数の凹部が形成された基板上に堆積手段により凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む半導体装置の製造方法において、凹部埋め込み工程

3

の後に液相CVD膜を形成する液相CVD膜形成工程を備えることを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0009】本出願の請求項2の発明は、液相CVD膜形成工程後、広い被埋め込み凹部以外の部分の液相CVD膜を除去して広い被埋め込み凹部上の液相CVD膜を残し、該液相CVD膜をマスクとして、広い被埋め込み凹部以外の部分に残存する埋め込み材料を除去する除去工程を行い、その後ポリッシュ工程を行うことを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0010】本発明において、凹部の埋め込みは、エッチングと堆積とを同時進行的に行う堆積手段によることが好ましい。このような埋め込みは、バイアスECR-CVDに代表されるエッチングと堆積とを同時進行的に行う堆積手段を用いて、実施できる。

【0011】本発明において、基板や凹部埋め込み材料は任意であるが、代表的には、基板はシリコン基板であり、凹部埋め込み材料は、絶縁物では SiO_2 、配線材料では、各種金属等である。

【0012】

【作用】本出願の請求項1の発明によれば、液相CVD膜を形成するので、これは均一かつ良好に成膜される。特に、除去されるべき埋め込み材料が堆積している以外の所に形成される凹部に、液相CVD材料は埋め込み特性良く埋め込まれる。よってこれをマスクにして余分の埋め込み材料を除去することにより、効果的な平坦化を達成できる。請求項2の発明はこの利点を利用して、広い(長い)凹部領域上の除去されるべき埋め込み材料は、これを液相CVD膜をマスクとした除去工程により容易に除去され、その後のポリッシュ工程ではポリッシュ除去すべき部分は小さくなる。よってそのポリッシュ工程により、容易で良好な平坦化が行える。これによって、平坦な埋め込みが達成された半導体装置の製造が可能となる。また、請求項1、2の発明とも、従来法に比べマスク工程をひとつ減らして平坦化を行うことができ、プロセス時間を大幅に短縮することができる。

【0013】

【実施例】以下、本発明の実施例について図面を参照して説明する。但し当然のことではあるが、本発明は以下の実施例により限定されるものではない。

【0014】実施例1

この実施例は、本出願の発明を微細化集積化した半導体装置の形成に適用したものである。特にそのトレンチアイソレーションの形成に適用したものである。

【0015】本実施例においては、トレンチCVD法により埋め込んだ後、液相CVD法にて Si 膜を形成し、この Si 膜をマスクとして余分な SiO_2 を除去する手段を採り、これにより長い凹部段差上に SiO_2 が残ることなく平坦化したアイソレーションを形成する。

4

【0016】本実施例においては、堆積手段により、基板1上の複数の凹部41~43を埋め込む埋め込み工程により、図1(b)に示す構造を得、次に、液相CVD膜6を形成し(図1(c))、広い被埋め込み凹部以外の部分の液相CVD膜6を除去して広い被埋め込み凹部41上に液相CVD膜61を残した図1(d)の構造を得、次いでこの液相CVD膜61をマスクとして、広い被埋め込み凹部以外の部分に残存する埋め込み材料51を除去する除去工程を行い、図1(e)に示す構造を得、その後ポリッシュ工程を行う(図1(f)(g))ことにより、除去しきれない埋め込み材料の残存なく、良好な埋め込み平坦化を達成するものである。

【0017】更に具体的には、本実施例は次の(1)~(8)の工程を経る。

【0018】(1)基板1(ここではシリコン基板)上に、熱酸化膜(T-SiO_2)から成るパッド SiO_2 である下層21と、シリコンナイトライド(Si_3N_4)膜である中層22と、ポリ Si から成る上層23とを形成し、これらの層21~23が形成してある基板1に、トレンチである凹部41~43を形成する。これにより図1(a)の構造を得る。

【0019】この時のトレンチ形成用エッチングは、例えばECRエッチャーを用い、次の条件を実施できる。

マイクロ波: 850W

RF(13.56MHz): 150W

使用ガス系: $\text{C}_2\text{F}_4/\text{SF}_6 = 65/10\text{ sccm}$

磁場: 0.875mT

圧力: 1.33Pa

【0020】(2)次に、CVD法により、トレンチ(凹部)の深さと同じになるまで、即ちトレンチ深さと同じ膜厚の SiO_2 膜を形成して、埋め込み材料5を層形成する。これにより図1(b)の構造とする。

【0021】(3)液相CVD膜6を形成して、図1(c)の構造を得る。本実施例では液相CVD- Si 膜を形成した。この時のCVD条件としては、例えば、平行平板プラズマCVD装置を用い、下記条件を採用できる。なお液相CVDの条件設定については、1991年春の応用物理学会予稿集632頁の29p-V-10の記載(申、他)を参考にできる。

使用ガス系: $\text{SiH}_4 = 100\text{ sccm}$

圧力: 67Pa

基板温度: 110℃

RF: 50W

【0022】(4)被埋め込み凹部以外に堆積した埋め込み材料5である凹部CVD- SiO_2 (符号51で示す)上の液相CVD膜6がなくなるまで、液相CVD- Si のエッチバックを行う。これにより図1(d)の構造とする。広いトレンチである凹部41には、液相CVD- Si を残しておく。この残された液相CVD膜を符

号61で示す。この時のエッチバック条件としては、例えば、ECRエッチャーを用いて、次の条件を用いることができる。

マイクロ波：850

RF (13.56MHz)：100W

使用ガス系： C_2F_4 / SiF_4 = 35 / 35 sccm

磁場：0.875mT

圧力：1.33Pa

【0023】(5) 埋め込み材料5である SiO_2 をエッチングするエッチバックを行う。ここでは、(4)で残った液相CVD膜61がマスクとなる。これにより図1(e)の構造を得た。ここではRIEで、例えばマグネトロンRIE装置を用い、次の条件でエッチバックを行った。

使用ガス系： C_4F_8 = 50 sccm

RF：1200W

圧力：2Pa

【0024】(6) 液相CVD- Si のエッチバックを行う。これにより図1(f)の構造となった。この時の条件は、(4)と同じでよい。ここでは、 Si_3N_4 層である中層22がエッチストッパーとして働く。図1(f)に示すように、マスクとなった液相CVD膜61の両側に、埋め込み材料5である SiO_2 の突起状部5aが残ることがある。また、狭いトレンチである凹部42、43中に埋め込み材料5bの上面は、ややV字状に突出している可能性がある。しかしそれ以外の埋め込み材料5はほぼ除去された状態になっている。

【0025】(7) 次に、ポリッシャーによりポリッシュを行う。ポリッシャーとしては、図2に示す装置を用いることができる。その時のポリッシュ条件は、ここでは、研磨プレートPの回転数=37rpm、ウェハー保持試料台64の回転数=17rpm、研磨圧力(図3の矢印66)= 5.5×10^3 Pa (8PSI)、スラリーをスラリー導入管61から225ミリリットル/分で導入、パッド67の温度を40℃として行った。スラリー(図2中、62で模式的に示す)は、シリカとKOHと水の混合液を用いることができる。例えば研磨時に用いるポリッシュ液(スラリー)として、商品名SC-1 (CABOT CORPORATION製)を使用できる。その固形成分はシリカ(全重量の30%)である(pH:10.5-10.7、シリカ粒度:25-35

nm、pH調整剤：KOH)。このSC-1を脱イオン水で15-20倍に希釈し、希塩酸またはKOH、NaOH溶液を用いてpHコントロールして、使用できる。図2中、符号63は研磨プレートPの回転軸、65は、被研磨基板10であるウェハーを支持するウェハー保持試料台64の回転軸である。

【0026】このとき、被ポリッシュ面の内、ここでポリッシュされるべき突起形状の SiO_2 である突起状部5aは、ポリッシュが容易であり、短時間に平坦化が行える。よって従来のような長い凹部上に残る除去しきれない SiO_2 (図4(B)の52、52')は発生しない。

【0027】(8) 次に、ストップ層2の上層22である Si_3N_4 を例えばKOHにて除去し、下層21であるpad- SiO_2 をフッ酸にて除去し、図1(h)の構造とする。この構造は、キャパシタを構成する凹部41~43(トレンチ)内の誘導体である埋め込み絶縁材料が、凹部41~43のトレンチ上面からやや突出した形で得られるものであり、耐圧状の良好なキャパシタ機能を示すことができる。

【0028】

【発明の効果】上述の如く、本出願の発明によれば、広い(長い)凹部領域上にも埋め込み材料が残ることなく平坦化を達成でき、よって平坦性の良好な埋め込みを達成できる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】実施例1の工程を順に断面図で示すものである。

【図2】実施例で用いたポリッシャー装置を示す構成図である。

【図3】背景技術を示す図である。

【図4】従来技術の問題点を示す図である。

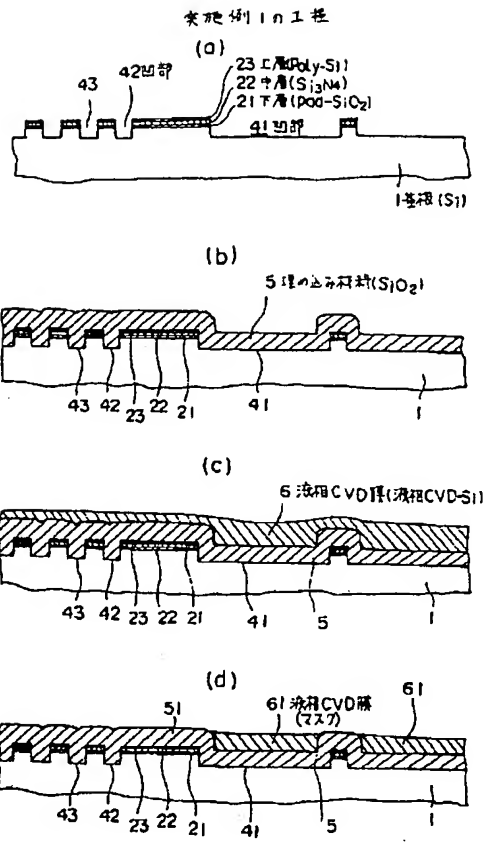
【図5】従来技術の問題点を示す図である。

【図6】従来技術の問題点を示す図である。

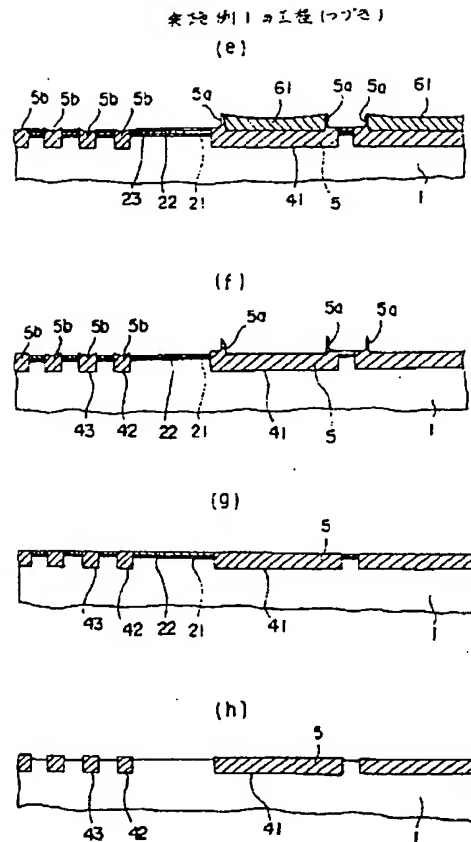
【符号の説明】

- | | |
|-------|----------------------|
| 1 | 基板 |
| 41~43 | 凹部(トレンチ) |
| 5 | 埋め込み材料 |
| 52 | 除去しきれない埋め込み材料 |
| 6 | 液相CVD膜(液相CVD- Si) |
| 61 | 液相CVD膜(マスク) |

【図1】

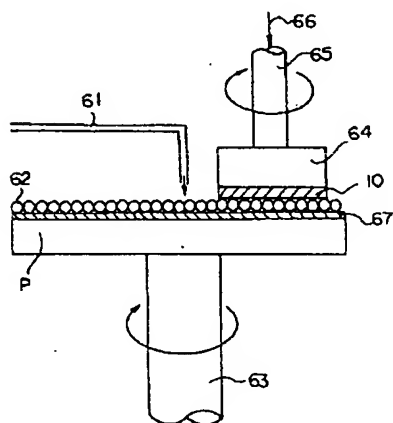


【図2】



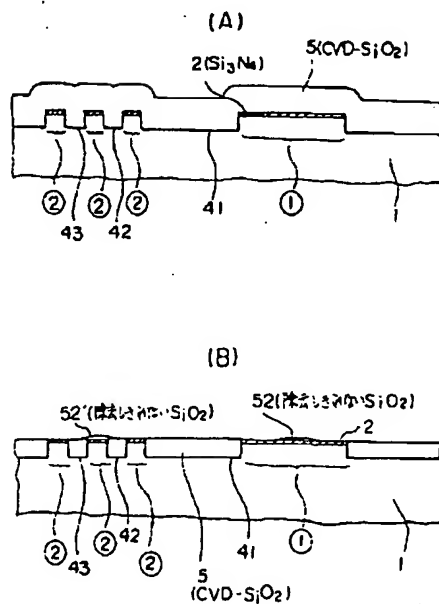
【図3】

実施例で用いたポリッシャー装置



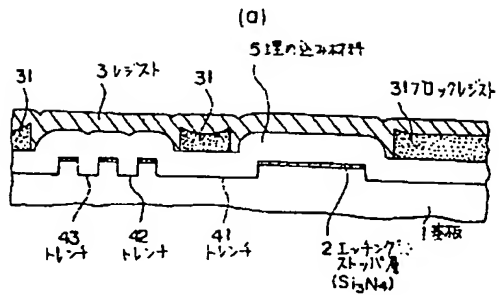
【図4】

従来技術の問題点

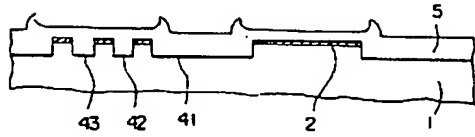


【図5】

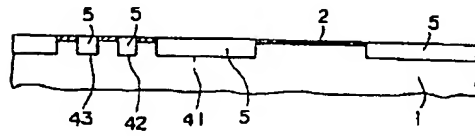
従来の技術の問題点



(b)

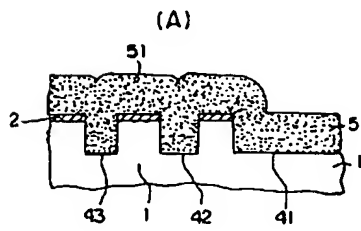


(c)

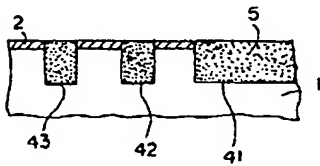


【図7】

有量技術

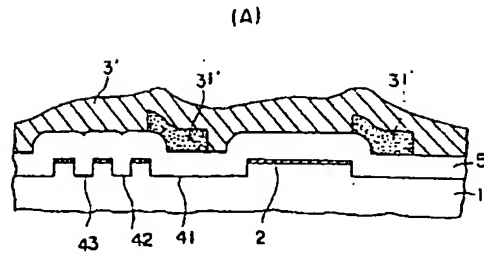


(B)

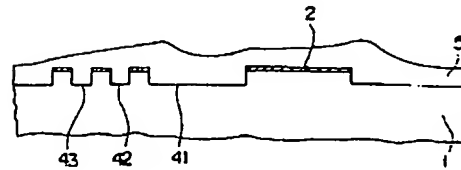


【図6】

従来の技術の問題点



(B)



【手続補正書】

【提出日】平成5年5月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】この平坦なトレンチアイソレーションを形成する方法として、図7に示す手法がある。この手法においては、まず基板1等の基体形成した溝41~43を埋め込み材料5によりCVD等の堆積手段で埋め込み、図7(A)の構造とする。この構造においては、溝41~43以外の部分にも埋め込み材料5が厚く堆積して、凹部51が生じる。よってこの凹部51をポリッシュにより除去して、図7(B)のように平坦化する。図中2はポリッシュのストッパ層で、埋め込み材料がSiO₂であれば、例えばこれよりポリッシュ速度の遅いシリコンナイトライド膜により形成する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】本実施例においては、堆積手段により、基板1上の複数の凹部41~43を埋め込む埋め込み工程により、図1(b)に示す構造を得、次に、液相CVD膜6を形成し(図1(c))、広い被埋め込み凹部以外の部分の液相CVD膜6を除去して広い被埋め込み凹部41上に液相CVD膜6を残した図1(d)の構造を得、次いでこの液相CVD膜6をマスクとして、広い被埋め込み凹部以外の部分に残存する埋め込み材料51を除去する除去工程を行い、図2(e)に示す構造を得、その後ポリッシュ工程を行う(図2(f)(g))。ことにより、除去しきれない埋め込み材料の残存なく、良好な埋め込み平坦化を達成するものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】(6)液相CVD-Siのエッチバックを行う。これにより図2(f)の構造となった。この時の条件は、(4)と同じでよい。ここでは、Si₃N₄層である中層22がエッチストッパとして働く。図2(f)に示すように、マスクとなった液相CVD膜61の両側に、埋め込み材料5であるSiO₂の突起状部5aが残ることがある。また、狭いトレンチである凹部42、43中に埋め込み材料5bの上面は、ややV字状に突出している可能性がある。しかしそれ以外の埋め込み材料5はほぼ除去された状態になっている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】(7)次に、ポリッシャーによりポリッシュを行う。ポリッシャーとしては、図3に示す装置を用いることができる。その時のポリッシュ条件は、ここでは、研磨プレートPの回転数=37rpm、ウェハー保持試料台64の回転数=17rpm、研磨圧力(図3の矢印66)= 5.5×10^3 Pa(8PSI)、スラリーをスラリー導入管61から225ミリリットル/分で導入、パッド67の温度を40℃として行った。スラリー(図3中、62で模式的に示す)は、シリカとKOHと水の混合液を用いることができる。例えば研磨時に用いるポリッシュ液(スラリー)として、商品名SC-1(CABOT CORPORATION製)を使用できる。その固形成分はシリカ(全重量の30%)である(pH:10.5-10.7、シリカ粒度:25-35nm、pH調整剤:KOH)。このSC-1を脱イオン水で15-20倍に希釈し、希塩酸またはKOH、NaOH溶液を用いてpHコントロールして、使用できる。図3中、符号63は研磨プレートPの回転軸、65は、被研磨基板10であるウェハーを支持するウェハー保持試料台64の回転軸である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】(8)次に、ストッパ層2の上層22であるSi₃N₄を例えばKOHにて除去し、下層21であるpad-SiO₂をフッ酸にて除去し、図2(h)の構造とする。この構造は、キャパシタを構成する凹部41~43(トレンチ)内の誘導体である埋め込み絶縁材料が、凹部41~43のトレンチ上面からやや突出した形で得られるものであり、耐圧状の良好なキャパシタ機能を示すことができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】実施例1の工程を順に断面図で示すものである。

【図2】実施例1の工程を順に断面図で示すものである。

【図3】実施例で用いたポリッシャー装置を示す構成図

である。

【図4】従来技術の問題点を示す図である。

【図5】従来技術の問題点を示す図である。

【図6】従来技術の問題点を示す図である。

【図7】背景技術を示す図である。

【符号の説明】

1	基板
41~43	凹部（トレンチ）
5	埋め込み材料
52	除去しきれない埋め込み材料
6	液相CVD膜（液相CVD-Si）
61	液相CVD膜（マスク）

THIS PAGE BLANK (USPTO)